

# **Partie III: Vue d'ensemble de l'ordinateur.**

**A: Fonction de mémorisation** (Mémoire principale).

**C: Fonction d'exécution** (Traitement).

**B: Fonction de communication** (E/S).

**OBJECTIFS :**

- Vulgariser l'ensemble des concepts de base d'un ordinateur ;
- Connaître la représentation des nombres ;
- Connaître les principaux composants d'un ordinateur ;
- Connaître les méthodes de synthèse de systèmes logiques combinatoires et séquentiels ;
- Acquérir une connaissance de bas niveau de la programmation.

**CONTENU DU MODULE :**

I ELEMENTS DE BASE (~ 3 heures)

- Numération et codage, conversion, représentation des nombres
- Algèbre de Boole

II LOGIQUE COMBINATOIRE ET SEQUENTIELLE (~ 15 heures)

- Fonctions de base
- Synthèse des fonctions combinatoires
- Eléments de mémorisation
- Synthèse des circuits séquentiels
- Réseaux logiques programmables

III VUE D'ENSEMBLE DE L'ORDINATEUR (~ 6 heures)

- Fonction de mémorisation
- Fonction de communication
- Fonction d'exécution

IV ETUDE D'UNE MACHINE PEDAGOGIQUE (~ 6 heures)

VIII	<i>Architecture des machines et des systèmes informatiques</i>	
	<b>PARTE 2 • STRUCTURE DE L'ORDINATEUR</b>	
<b>CHAPITRE 7 • LA FONCTION D'EXÉCUTION</b>		147
7.1 Introduction		147
7.2 Aspects externes		150
7.2.1 Le microprocesseur		150
7.2.2 Les bus		152
7.3 Aspects internes		154
7.3.1 Exécution d'une instruction machine		155
7.3.2 Microcommandes et micro-instructions		163
7.4 Les interruptions : modification du flux d'exécution d'un programme machine		172
7.4.1 Principe des interruptions		172
7.4.2 Un exemple		176
7.5 Amélioration des performances		180
7.5.1 Parallélisme des instructions		181
7.5.2 Parallélisme des processeurs		186
7.6 Conclusion		187
7.7 Qu'avez-vous retenu ?		188
<b>CHAPITRE 8 • LA FONCTION DE MÉMORISATION</b>		191
8.1 Généralités		191
8.2 Mémoires de travail		194
8.2.1 Les mémoires vives		194
8.2.2 Les mémoires mortes		204
8.2.3 Les registres		204
8.3 Mémoires de stockage : le disque magnétique		206
8.3.1 Caractéristiques générales		206
8.3.2 Organisation générale		206
8.3.3 Le disque SSD ( <i>Solid-State Drive</i> )		209
8.4 Amélioration des performances		209
8.4.1 Les mémoires caches		209
8.4.2 Mémoire virtuelle		220
8.5 Compléments : approches CISC/RISC		223
8.5.1 Les performances d'un processeur		224
8.5.2 La traduction des programmes		225
8.5.3 Approche CISC		225
8.5.4 Approche RISC		226
8.5.5 Pour conclure sur les RISC et les CISC		227

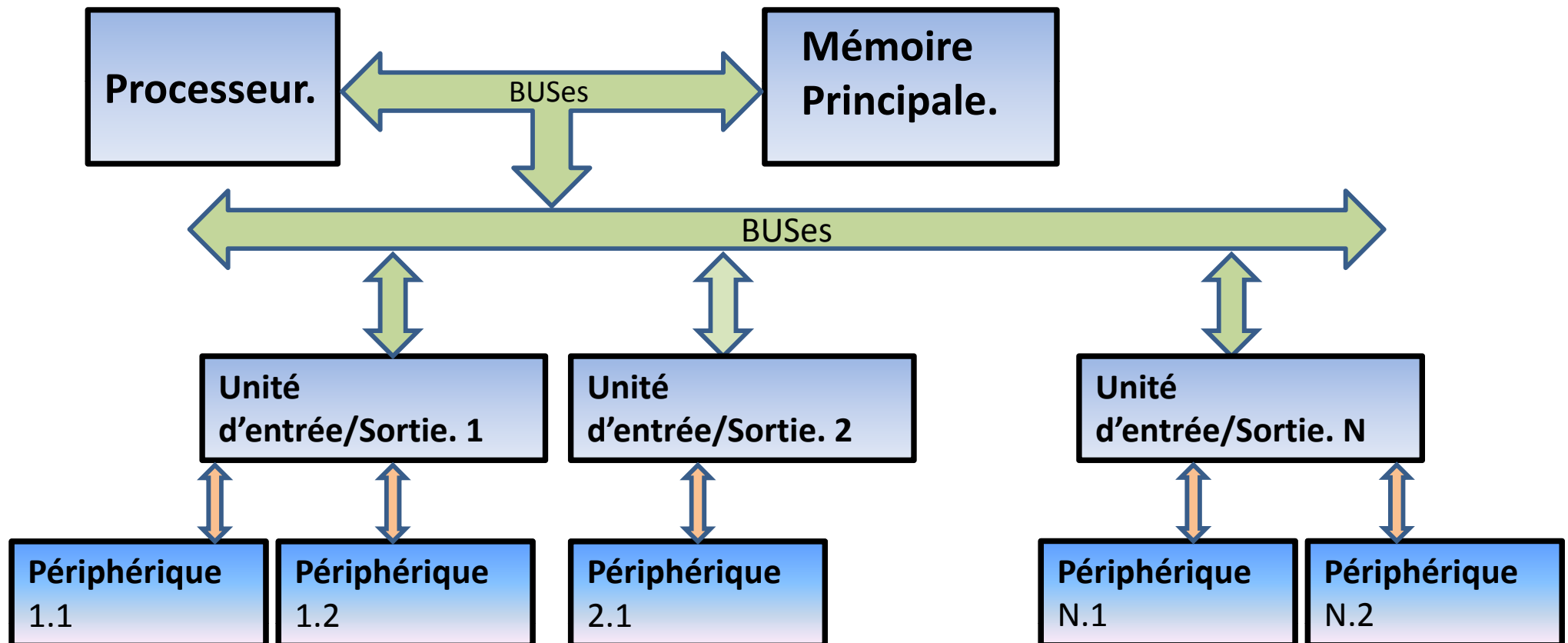
Table des matières	IX
8.6 Compléments : approches multicœurs	228
8.7 Conclusion	230
8.8 Qu'avez-vous retenu ?	231
<b>CHAPITRE 9 • LA FONCTION DE COMMUNICATION</b>	233
9.1 Introduction	233
9.2 Les bus	238
9.2.1 Les bus ISA (ou PC-AT), MCA et EISA	239
9.2.2 Le bus PCI ( <i>Peripheral Component Interconnect</i> )	240
9.2.3 Le bus AGP ( <i>Accelerated Graphics Port</i> )	244
9.2.4 Deux exemples	245
9.3 Les interfaces d'accès aux périphériques	246
9.3.1 Les unités d'échanges	247
9.3.2 Les bus d'extension	260
9.4 Les différents modèles de gestion des entrées-sorties	264
9.4.1 La liaison programmée	265
9.4.2 Entrées-sorties pilotées par les interruptions	267
9.4.3 Gestion des entrées-sorties asynchrones	269
9.5 Conclusion	272
<b>CHAPITRE 10 • EXERCICES CORRIGÉS</b>	273
La fonction d'exécution	273
10.1 Révision	273
10.2 Microcommandes	273
10.3 CISC/RISC	274
La fonction de mémorisation	275
10.4 Cache à correspondance directe	275
10.5 Calcul de la taille réelle d'un cache	275
10.6 Cache associatif et remplacement de lignes	275
10.7 Cache à correspondance directe	276
10.8 Cache à correspondance directe	276
La fonction de communication	277
10.9 Questions de cours	277
10.10 Entrées-sorties programmées et entrées-sorties par interruption	277
10.11 Performances des opérations d'entrées-sorties	277
10.12 Gestion des interruptions	278

© Dunod - Toute reproduction non autorisée est un délit.



# Rappel de l'anatomie de l'ordinateur.

Position de chacune des trois fonctions( traitement, mémorisation, et communication (pas dans les sens réseau)).



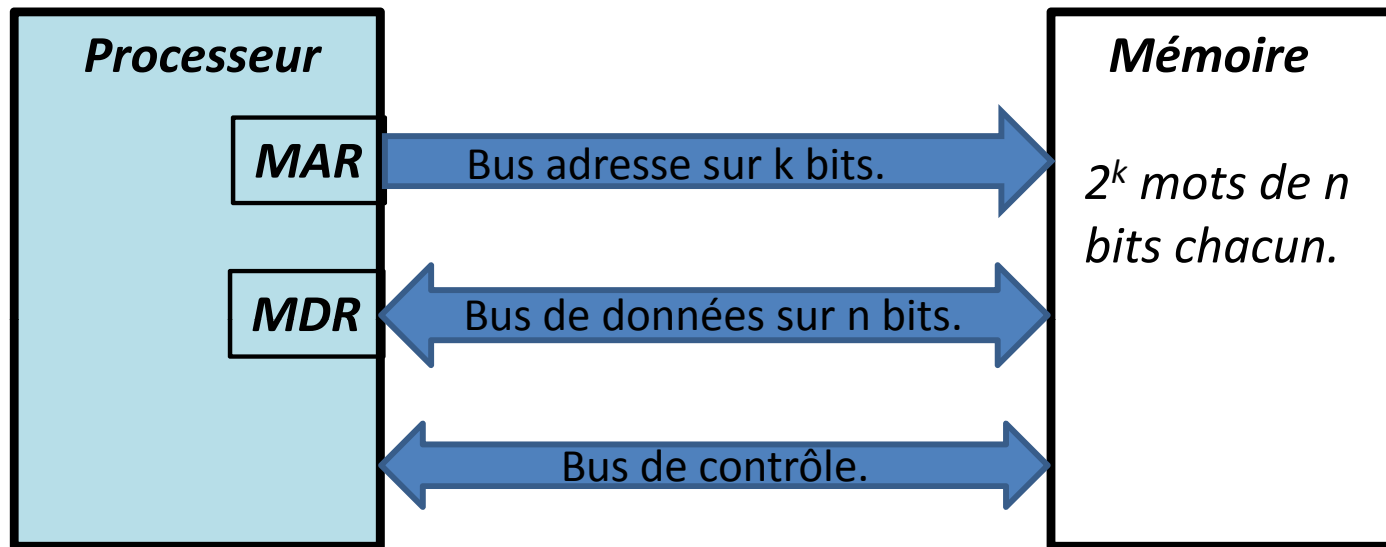
## ***A: Fonction de mémorisation.***

Dans la machine à information le mot "***mémoire***" fait référence à deux catégories de dispositif de stockage:

- ✓ ***Mémoire principale***, centrale ou primaire (Primary, main memory): Celle qui se trouve juste à coté du processeur, sa fonction est d'héberger (totalement ou partiellement), tous les programmes ***qui sont en cours d'exécution***.
- ✓ ***Mémoire secondaire***, de masse (Secondary, mass storage), formée des disques magnétiques, de disques SSD, de CDROM, de DVD, et de Blue-Ray: ses citoyens de première classe sont des ***fichiers*** de données de divers types et de programmes (qui iront en mémoire principale pour s'exécuter).

*Dans ce chapitre, il est question de la mémoire principale.*

## A-1: Liaison Processeur – Mémoire principale.



**MAR:** Memory Address Register.

**MDR:** Memory Data Register.

Le bus de contrôle inclut une partie des signaux destinés à la mémoire:

- Le signal Read/Write
- Le nombre d'octets concernés par la transaction mémoire. (lecture ou écriture).
- Un signal émanant de la mémoire pour signifier au processeur la fin de l'opération .

## **A-2: Caractéristiques idéales de la mémoire principale.**

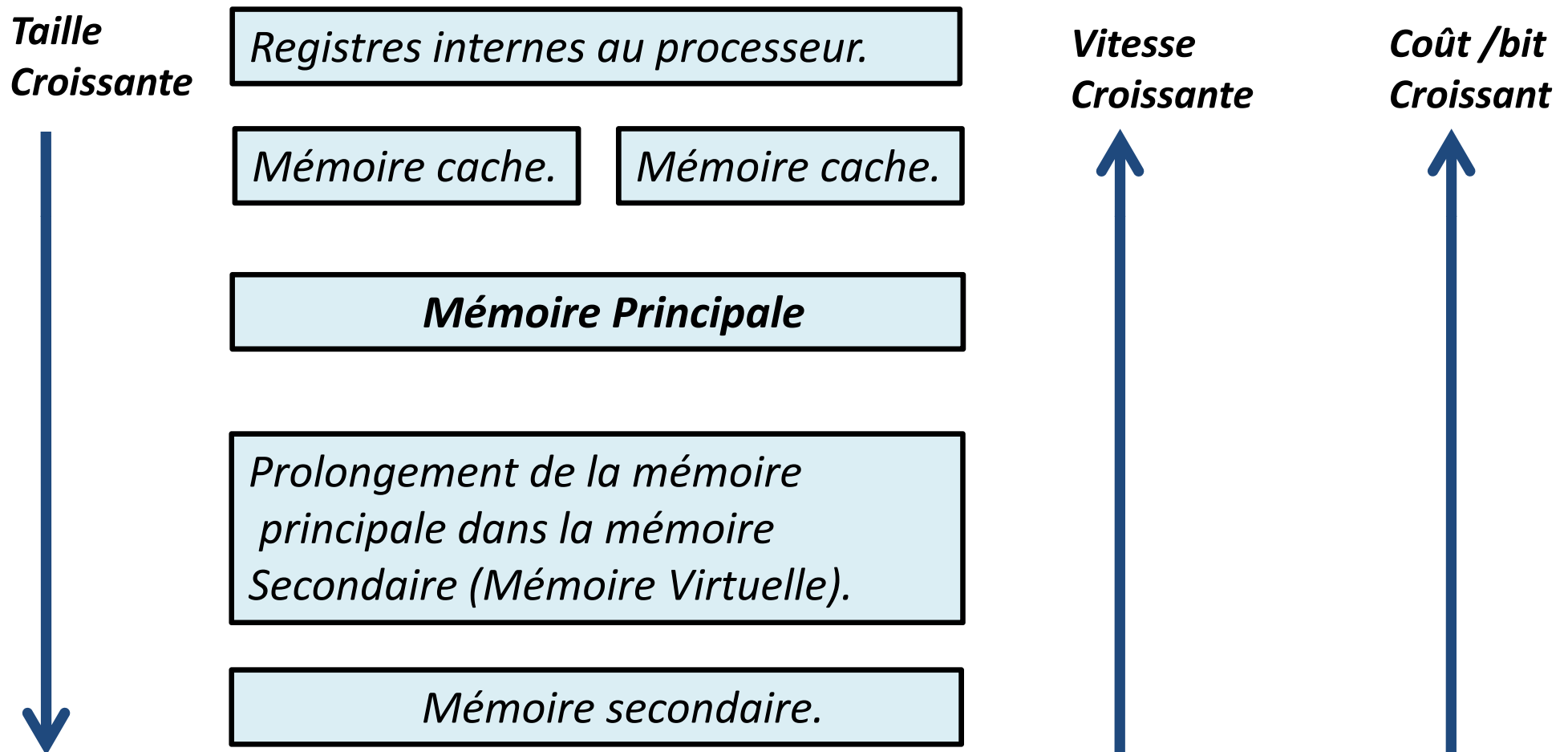
Puisque la mémoire principale est l'endroit où résident les programmes qui sont en cours d'exécution et puisque les programmes sont de plus en plus dimensionnés et riches en fonctionnalités, l'idéale serait d'avoir les caractéristiques suivante:

- ✓ Grande capacité.
- ✓ Rapidité de lecture/écriture (Temps d'accès courts ,en rapport avec la vitesse du processeur).
- ✓ Bon marché (prix abordable).

Cet idéal est impossible à atteindre. On ne peut l'approcher que par le truchement d'une **hiérarchie** de mémoires qui, proche du processeur donne l'illusion de vitesse à la hauteur du processeur, loin du processeur offre des capacités élevées.



## A-3: hiérarchie de mémoires .



## A-4: Caractéristiques réelles de la mémoire principale.

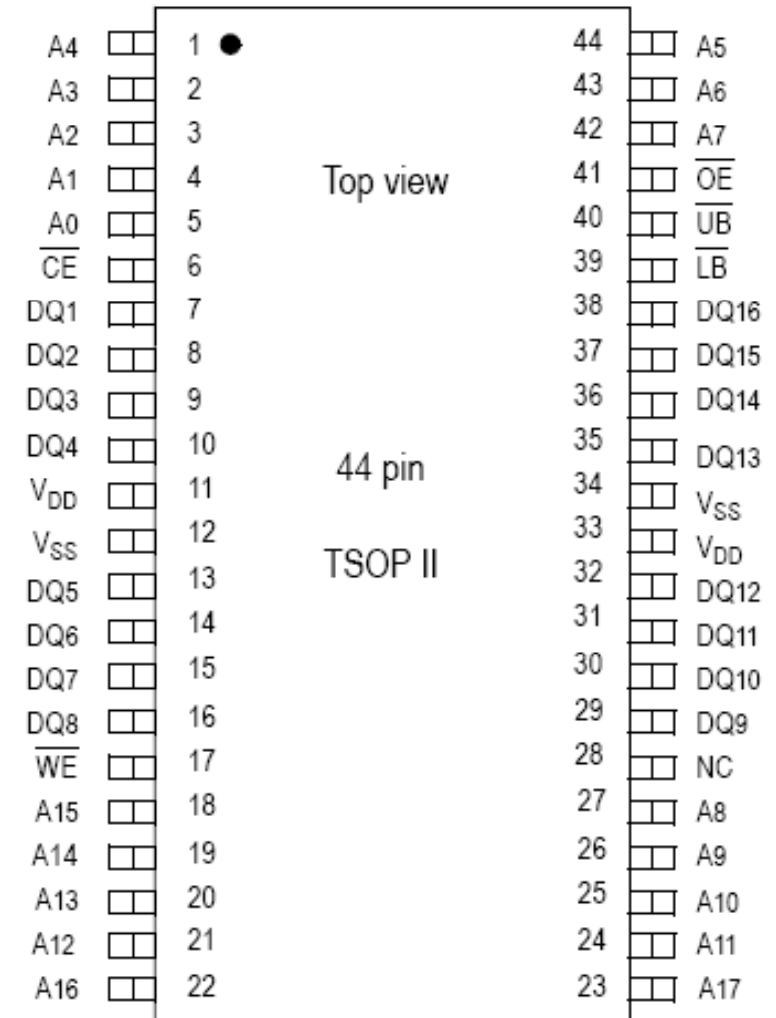
- ✓ Toute la mémoire principale est à base **de boîtiers mémoires à semi-conducteurs**.
- ✓ Elle est structurée comme un tableau monodimensionnel ( une séquence de mots) où chaque mot possède une adresse et un contenu.
- ✓ Le temps d'accès à un quelconque mot, quelque soit son emplacement (son adresse) est le même. Par abus de langage on l'appelle **RAM (Random Acces Memory)**.
- ✓ Elle est à lecture et écriture.
- ✓ Son contenu est volatile.
- ✓ Si une portion garde son contenu, elle est, par abus de langage, appelée **ROM (*Read Only Mémoire*)**
- ✓ Elle a une capacité mesurable en octet et ses multiples, extensibles jusqu'à concurrence d'un capacité maximale imposée par la taille du bus adresse.

# A-5: Boitier mémoire à semi-conducteur: Un exemple. brochage: (Pin Description).

## Pin Descriptions

Symbol	Description
A0-A17	Address input
DQ1-DQ16	Data input/output
$\overline{CE}$	Chip enable input
$\overline{LB}$	Lower byte enable input (DQ1 to DQ8)
$\overline{UB}$	Upper byte enable input (DQ9 to DQ16)
$\overline{WE}$	Write enable input
$\overline{OE}$	Output enable input
V <sub>DD</sub>	+3.3 V power supply
V <sub>SS</sub>	Ground
NC	No connect

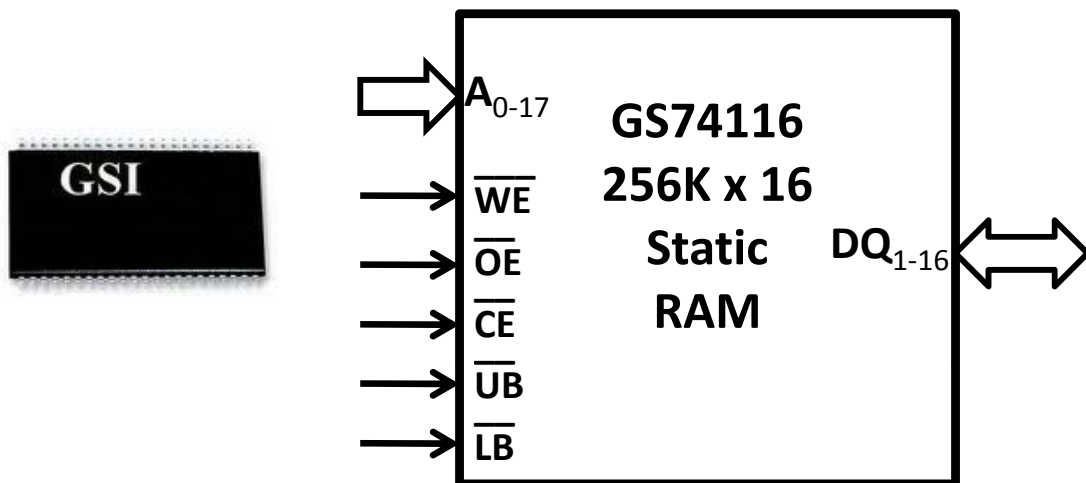
## TSOP-II 256K x 16 Pin Configuration (Package GP)



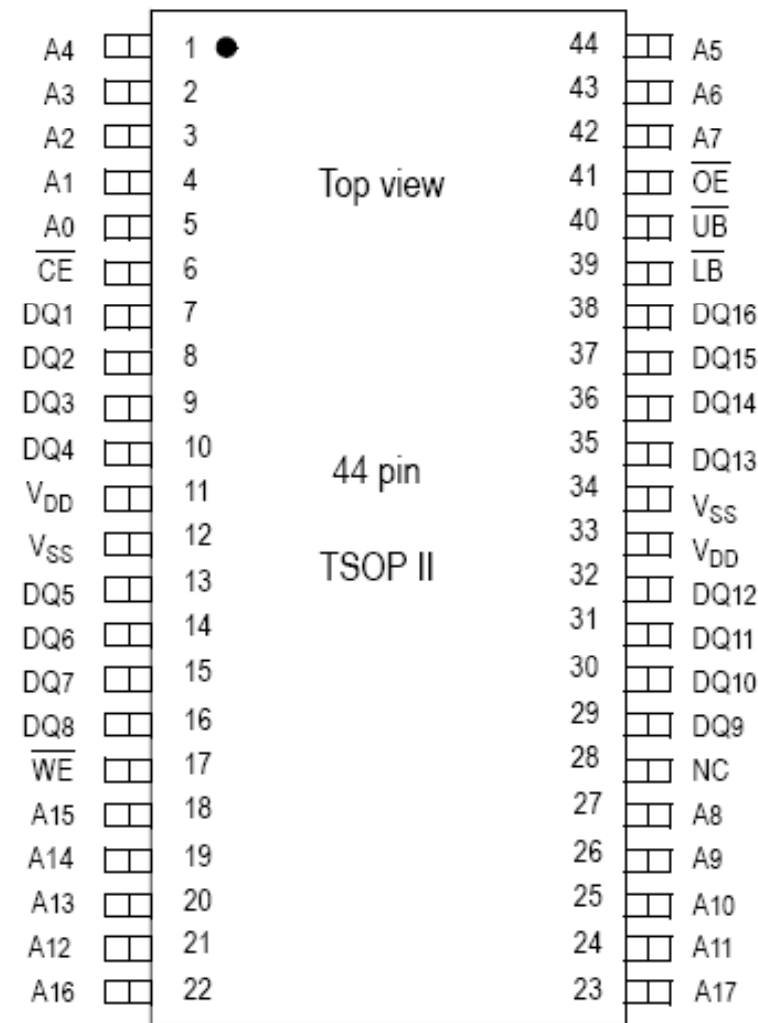
Source: GSI Technology  
GS74116AGP Datasheet

# A-5: Boitier mémoire à semi-conducteur: Un exemple.

Schéma bloc, brochage:



TSOP-II 256K x 16 Pin Configuration (Package GP)



Truth Table

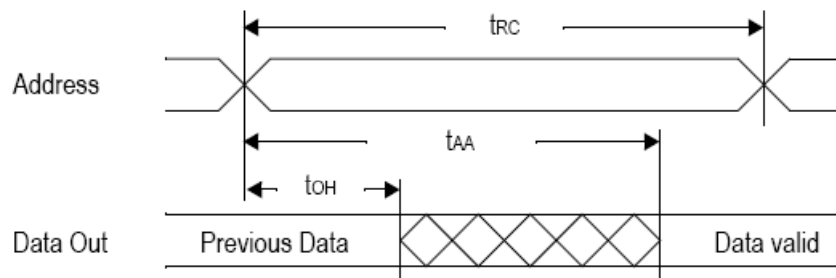
$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	$\overline{LB}$	$\overline{UB}$	DQ1 to DQ8	DQ9 to DQ16
H	X	X	X	X	Not Selected	Not Selected
L	L	H	L	L	Read	Read
			L	H	Read	High Z
			H	L	High Z	Read
L	X	L	L	L	Write	Write
			L	H	Write	Not Write, High Z
			H	L	Not Write, High Z	Write
L	H	H	X	X	High Z	High Z
L	X	X	H	H	High Z	High Z

Source: GSI Technology  
**GS74116AGP** Datasheet

# A-5: Boitier mémoire à semi-conducteur: Un exemple.

## Temps d'accès: timing.(Lecture)

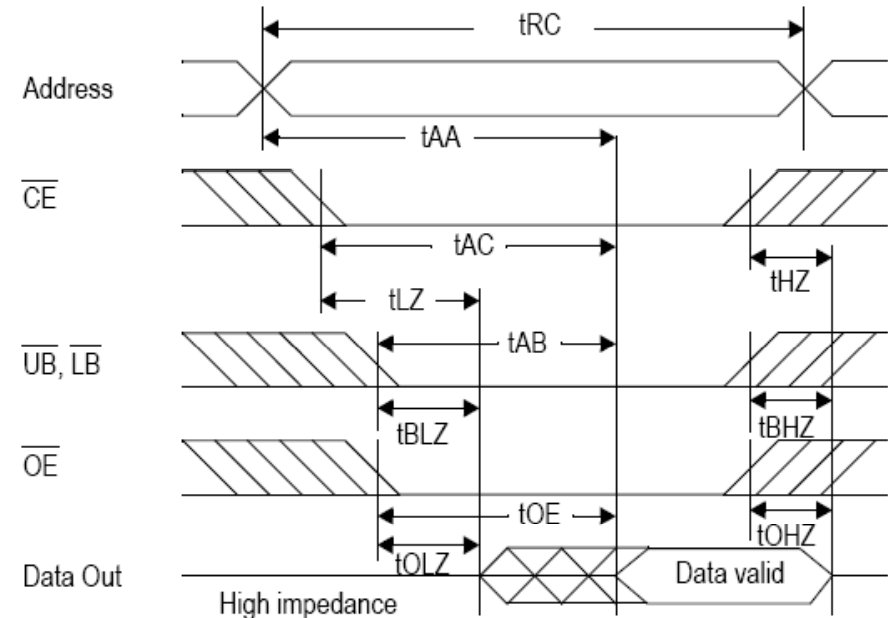
Read Cycle 1:  $\overline{CE} = \overline{OE} = V_{IL}$ ,  $\overline{WE} = V_{IH}$ ,  $\overline{UB}$  and, or  $\overline{LB} = V_{IL}$



Read Cycle

Parameter	Symbol	-8		-10		-12		Unit
		Min	Max	Min	Max	Min	Max	
Read cycle time	$t_{RC}$	8	—	10	—	12	—	ns
Address access time	$t_{AA}$	—	8	—	10	—	12	ns
Chip enable access time ( $\overline{CE}$ )	$t_{AC}$	—	8	—	10	—	12	ns
Byte enable access time ( $\overline{UB}$ , $\overline{LB}$ )	$t_{AB}$	—	3.5	—	4	—	5	ns
Output enable to output valid ( $\overline{OE}$ )	$t_{OE}$	—	3.5	—	4	—	5	ns
Output hold from address change	$t_{OH}$	3	—	3	—	3	—	ns
Chip enable to output in low Z ( $\overline{CE}$ )	$t_{LZ}^*$	3	—	3	—	3	—	ns
Output enable to output in low Z ( $\overline{OE}$ )	$t_{OLZ}^*$	0	—	0	—	0	—	ns
Byte enable to output in low Z ( $\overline{UB}$ , $\overline{LB}$ )	$t_{BLZ}^*$	0	—	0	—	0	—	ns
Chip disable to output in High Z ( $\overline{CE}$ )	$t_{HZ}^*$	—	4	—	5	—	6	ns
Output disable to output in High Z ( $\overline{OE}$ )	$t_{OHZ}^*$	—	3.5	—	4	—	5	ns
Byte disable to output in High Z ( $\overline{UB}$ , $\overline{LB}$ )	$t_{BHZ}^*$	—	3.5	—	4	—	5	ns

Read Cycle 2:  $\overline{WE} = V_{IH}$



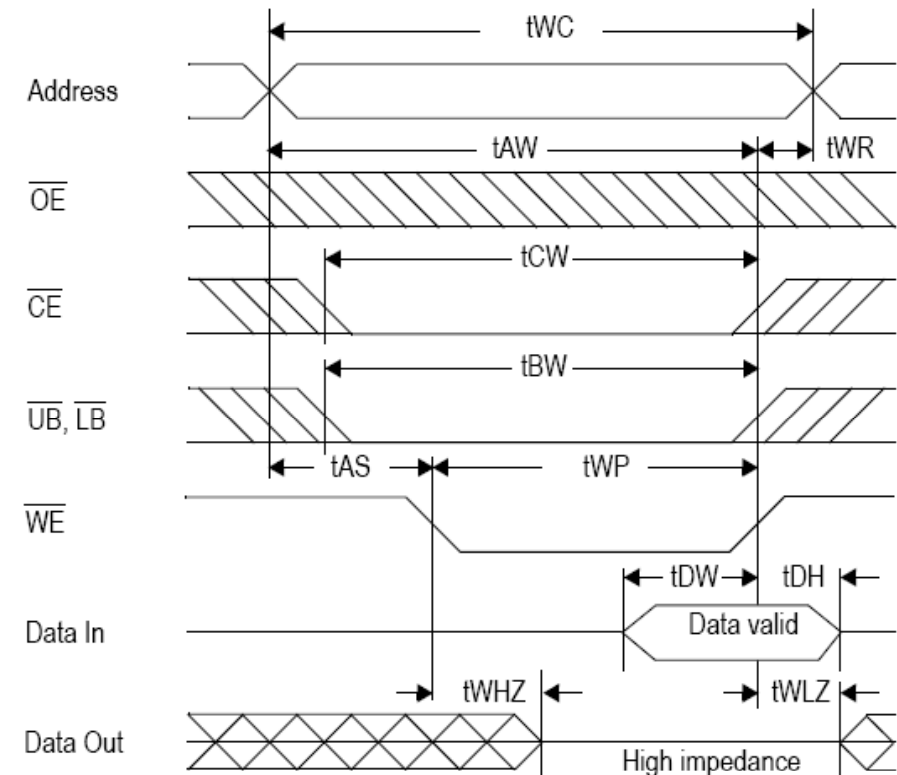
# A-5: Boitier mémoire à semi-conducteur: Un exemple.

## Temps d'accès: timing.(écriture).

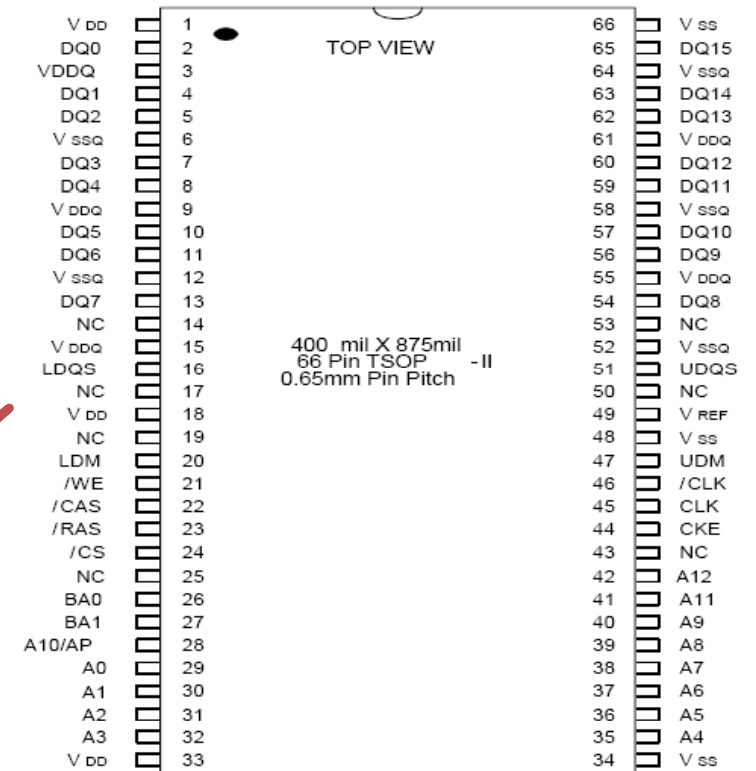
Write Cycle

Parameter	Symbol	-8		-10		-12		Unit
		Min	Max	Min	Max	Min	Max	
Write cycle time	tWC	8	—	10	—	12	—	ns
Address valid to end of write	tAW	5.5	—	7	—	8	—	ns
Chip enable to end of write	tCW	5.5	—	7	—	8	—	ns
Byte enable to end of write	tBW	5.5	—	7	—	8	—	ns
Data set up time	tDW	4	—	4.5	—	6	—	ns
Data hold time	tDH	0	—	0	—	0	—	ns
Write pulse width	tWP	5.5	—	7	—	8	—	ns
Address set up time	tAS	0	—	0	—	0	—	ns
Write recovery time ( $\overline{WE}$ )	tWR	0	—	0	—	0	—	ns
Write recovery time ( $\overline{CE}$ )	tWR1	0	—	0	—	0	—	ns
Output Low Z from end of write	tWLZ <sup>2</sup>	3	—	3	—	3	—	ns
Write to output in High Z	tWHZ <sup>2</sup>	—	3.5	—	4	—	5	ns

Write Cycle 1:  $\overline{WE}$  control



# A-5: Boitier mémoire à semi-conducteur.



## **A-6: Type de boîtier mémoire.**

Il existe deux type de mémoire à semi-conducteur: **Statique** et **dynamique**.

**Statique**: la cellule mémoire (le bit) est un bistable. Tant qu'il est alimenté, la donnée (1 ou 0) est stable.

Principales caractéristiques:

- Physiquement chaque bit nécessite entre 6 à 8 transistors.
- Temps d'accès rapide ( moins de 10 ns de nos jours).
- Densité d'intégration faible. Donc capacité faible.
- Cout élevé.
- La mémoire statique fut essentiellement utilisée pour constituer de la mémoire cache.
- La loi de Moore a permis d'intégrer à même le processeur la mémoire cache.
- L'offre et la demande aidant, conséquence la ram statique est une espèce en voie de disparition.



## **A-6: Type de boîtier mémoire.**

Il existe deux type de mémoire à semi-conducteur: **Statique** et **dynamique**.

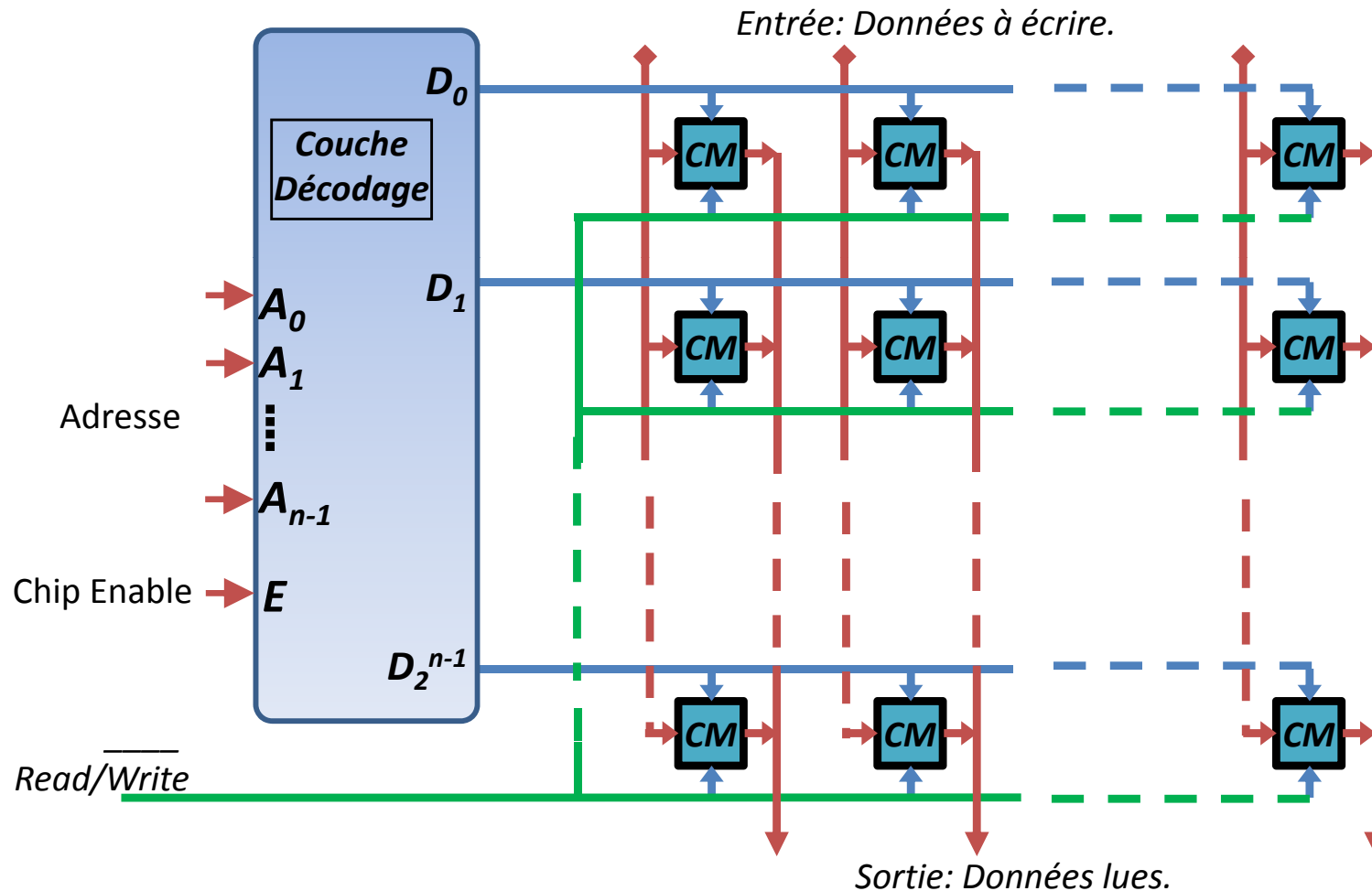
**Dynamique**: la cellule mémoire (le bit) est un couple (1 transistor et un condensateur). C'est la charge électrique du condensateur qui reflète l'état 1 ou 0.

Principales caractéristiques:

- Physiquement chaque bit nécessite 1T1C.*
- Le condensateur se décharge dans le temps, il faut **rafraichir**.*
- Temps d'accès lent ( pas moins de 50 ns de nos jours).*
- Densité d'intégration forte. Donc grande capacité.*
- Cout bas.*
- La mémoire dynamique est utilisée pour constituer la "RAM" , la mémoire principale de la machine à information.*
- La loi de Moore conjuguée à l'offre et la demande ont permis de prétendre à davantage de capacité de mémoire à moindre coût.*

## A-7: Organisation interne des boitiers mémoire.

Organisation générique : une couche de décodage plus une matrice de bits.



## **A-6: Assemblage de boitiers mémoire.**

**Question:** comment obtenir une mémoire plus large ( en capacité et en largeur de mot) à partir de boitiers de base.

*Règle générale: étant donné un boitier de base de  $x$  mots de  $y$  bits chacun, pour obtenir une mémoire de  $X$  mots de  $Y$  bits chacun, on recherche les deux facteurs suivant:*

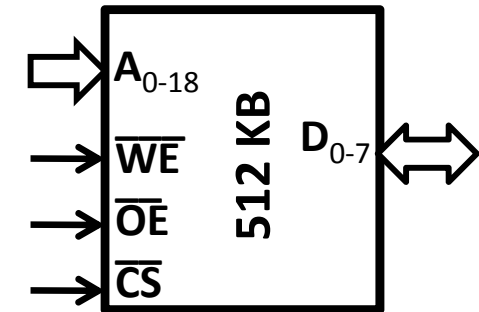
*Facteur d'expansion de capacité  $c = X/x$ .*

*Facteur d'expansion de largeur de mot  $m = Y/y$ .*

*Le produit  $c * m$  constitue le nombre de boitiers à assembler pour répondre à la question.*

*$X$  et  $x$  étant des puissances de 2,  $c$  l'est aussi.  $c$  est codé sur  $n$  bits. Les  $n$  bits de poids fort du bus adresse de la mémoire recherchée sont décodés pour les besoins de sélection des boitiers.*

## A-6: Assemblage de boitiers mémoire.

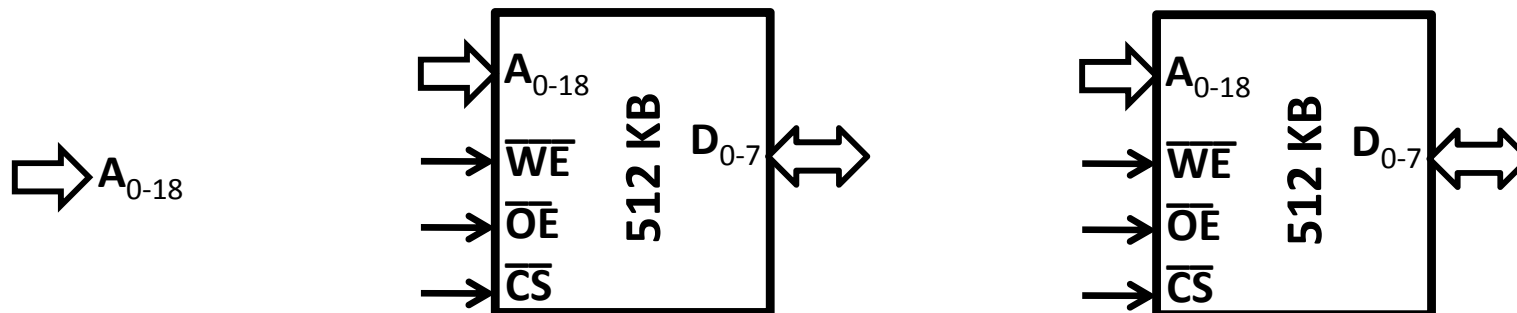


**Exemple 1:** à base de boitiers de 512 KB (organisé en  $2^{19}$  octets), constituez une mémoire de 1 MB (organisée en 512K Mots de 16 bits chacun).

Facteur d'expansion de capacité  $c = X/x = 512K/512K = 1$ ;

Facteur d'expansion de largeur de mot  $m = Y/y = 16\text{bits}/8\text{bits} = 2$ ;

Nombre de boitiers =  $1 * 2 = 2$ ;



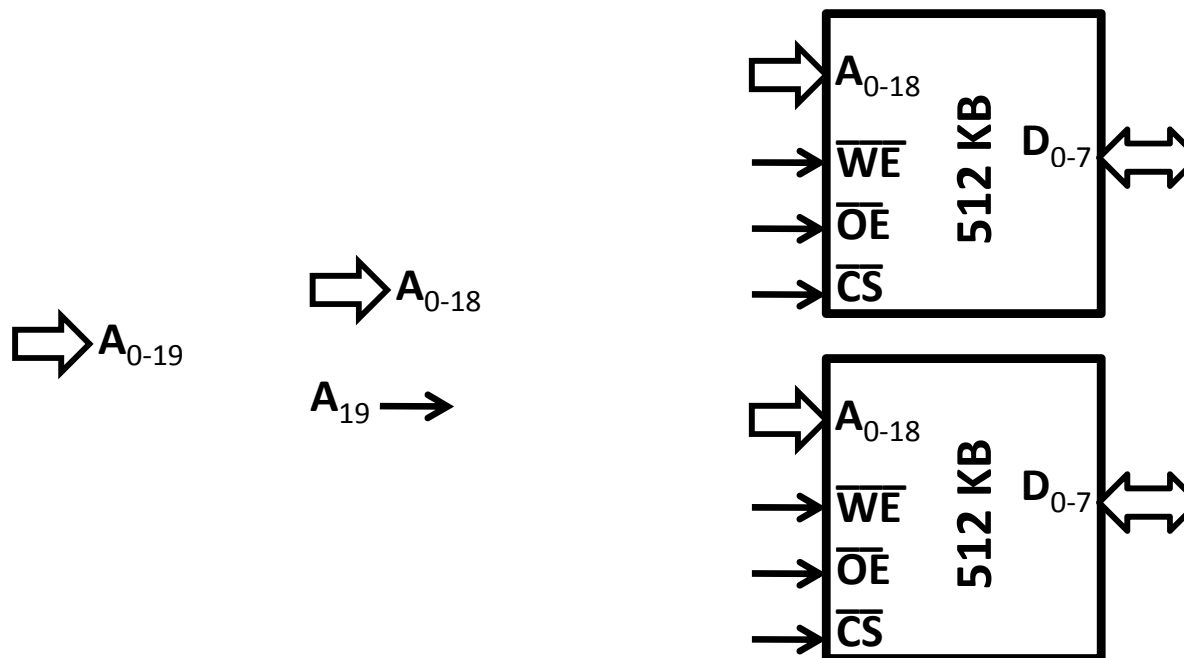
## A-6: Assemblage de boitiers mémoire.

**Exemple 2:** à base de boitiers de 512 KB (organisé en  $2^{19}$  octets), constituez une mémoire de 1 MB (organisée en 1 MB).

Facteur d'expansion de capacité  $c = X/x = 1024K/512K = 2$ ;

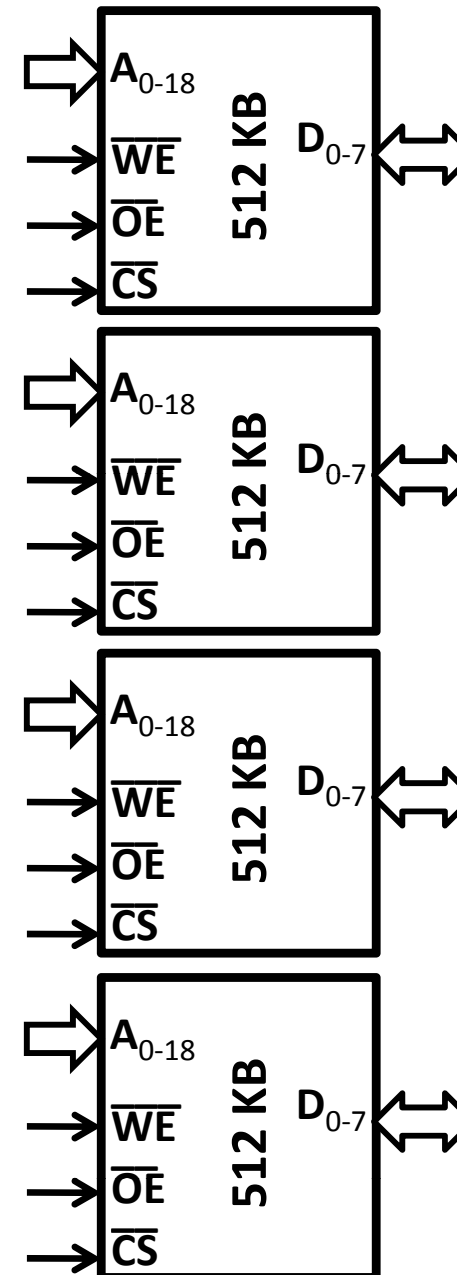
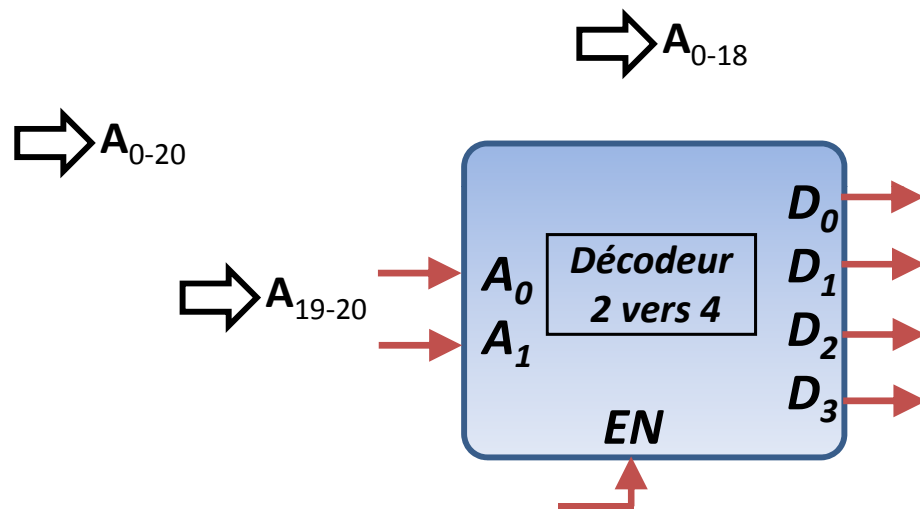
Facteur d'expansion de largeur de mot  $m = Y/y = 8\text{bits}/8\text{bits} = 1$ ;

Nombre de boitiers =  $2 * 1 = 2$ ;



# A-6: Assemblage de boîtiers mémoire.

## Exemple 3:



# A-5: Boitier mémoire à semi-conducteur.

## Schéma bloc:

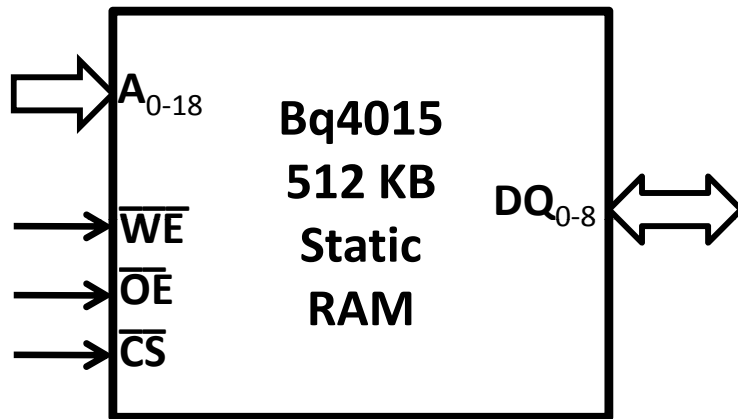


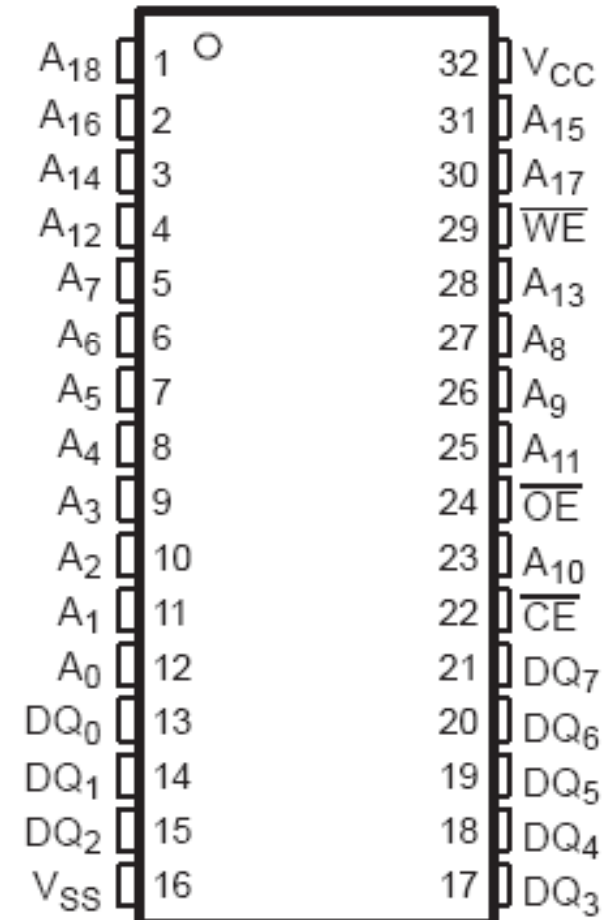
Table 2. TRUTH TABLE

MODE	$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	I/O OPERATION	POWER
Not selected	H	X	X	High-Z	Standby
Output disable	L	H	H	High-Z	Active
Read	L	H	L	D <sub>OUT</sub>	Active
Write	L	L	X	D <sub>IN</sub>	Active

Source: Texas Instruments  
Datasheet **bq4015**

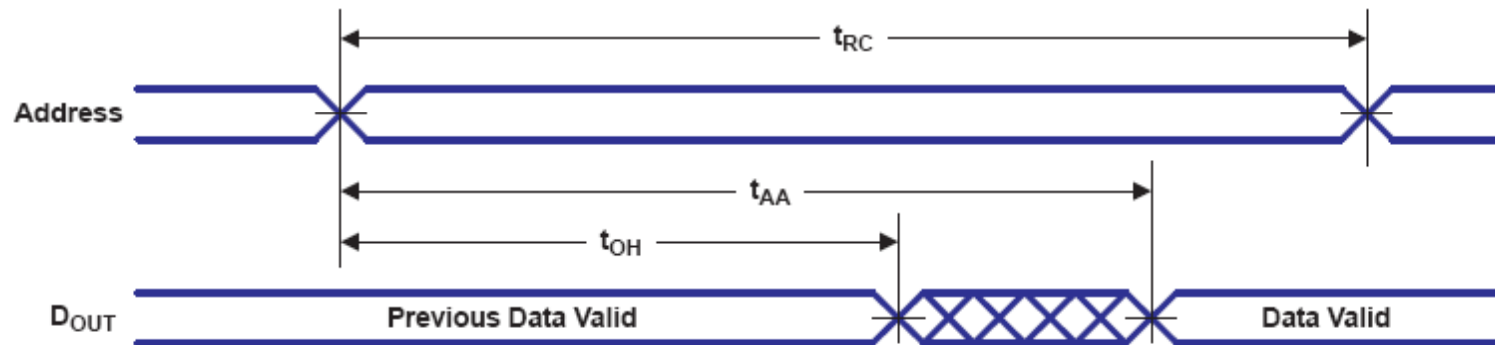
## PIN CONNECTIONS

32-Pin DIP Module  
(TOP VIEW)



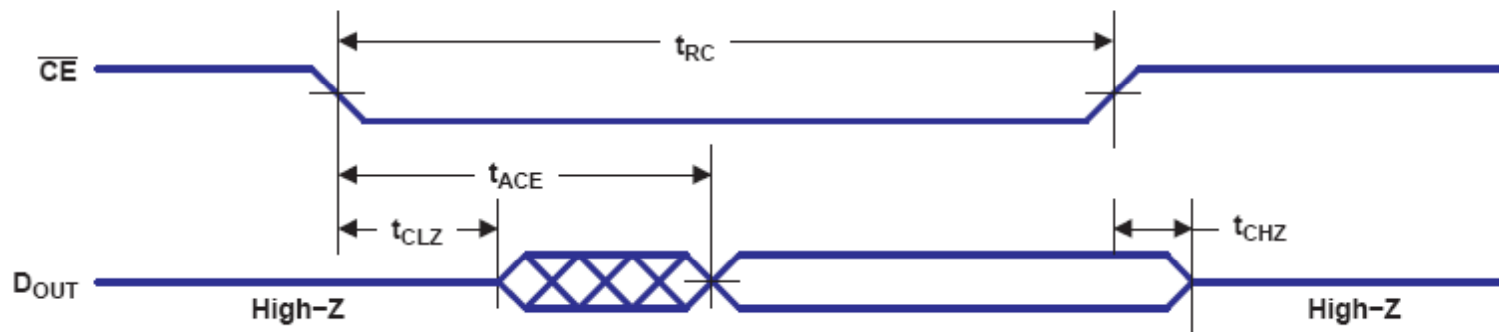
## A-5: Boitier mémoire à semi-conducteur.

### Temps d'accès: timing.



- (1)  $\overline{WE}$  is held high for a read cycle.
- (2) Device is continuously selected:  $\overline{CE} = \overline{OE} = V_{IL}$ .

Figure 5. Read Cycle No. 1 (Address Access)



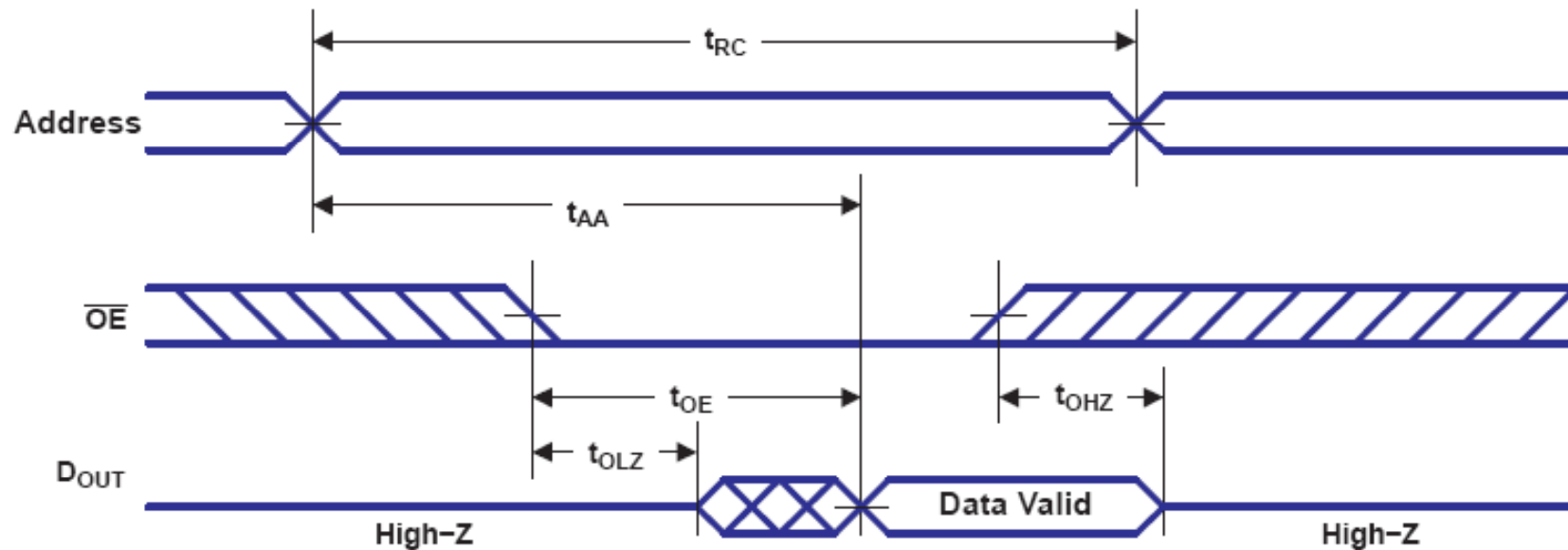
- (1)  $\overline{WE}$  is held high for a read cycle.
- (2) Device is continuously selected:  $\overline{CE} = \overline{OE} = V_{IL}$ .
- (3) Address is valid prior to or coincident with  $\overline{CE}$  transition low.

Figure 6. Read Cycle No. 2 ( $\overline{CE}$  Access)



## A-5: Boitier mémoire à semi-conducteur.

### Temps d'accès: timing.



- (1)  $\overline{WE}$  is held high for a read cycle.
- (2) Device is continuously selected:  $\overline{CE} = V_{IL}$ .

Figure 7. Read Cycle No. 3 ( $\overline{OE}$  Access)