

RATTRAPAGE (Durée : 1h30)

Exercice 1

Soit l'exécution des programmes A, B, C et D sur une configuration microprocesseur (CPU, MC, un seule périphérique d'E/S). Le schéma d'exécution des trois programmes est le suivant:

	Temps d'exécution (ms)
A	3(2)
B	(3)5
C	1(3)2
D	3(3)1

On suppose que :

- Les programmes sont pris en charge dans l'ordre A, B, C, D.
- Une tâche de contrôle système s'effectue en 1 ms quelque soit sa nature.
- Le quantum de temps est égal à 2ms.

1. Donner la synoptique d'exécution des trois programmes dans le mode d'exploitation temps partagé.

Exercice 2

Soit une unité centrale reliée à un disque dur et un scanner via leurs contrôleurs respectifs. Le contrôleur du disque dur est relié à son tour à un contrôleur d'accès direct à la mémoire DMA.

1. Préciser les registres des différents contrôleurs.

Sur cette architecture, un utilisateur lance, en mode multiprogrammé, un processus de traitement d'images composé des opérations suivantes :

- Scanner une image de taille T1 ;
- Traiter l'image scannée ;
- Sauvegarder l'image traitée de taille T2 sur le disque dur.

2. Ecrire les programmes nécessaires pour l'exécution de ce processus.

✗ Exercice 3 /

Considérons une politique de scheduling préemptif, à base de priorité. Dans le système, il existe 30 niveaux de priorité, de 0 à 29, 0 étant la plus faible priorité.

Sous ce système, les processus sont répartis en deux classes :

- SCHED_FIFO : dans cette classe, le processeur est donné au processus de plus haute priorité. Ce processus peut être préempté par un processus de la même classe ayant une priorité supérieure.
- SCHED_RR : dans cette classe, le processeur est donné au processus de plus haute priorité pour un quantum de temps égal à 20ms. La politique appliquée est celle du tourniquet.

Les processus de la classe SCHED_FIFO sont toujours plus prioritaires que les processus de la classe SCHED_RR.

Supposons que le processeur exécute le jeu de processus présenté dans la table suivante :

Processus	Classe	Instant d'arrivée (ms)	Durée d'exécution (ms)	Priorité
P1	SCHED_FIFO	0	10	26
P2	SCHED_RR	0	60	20
P3	SCHED_RR	29,9	50	20
P4	SCHED_FIFO	40	40	25
P5	SCHED_RR	120	30	15
P6	SCHED_FIFO	140	30	25

1. Donner le diagramme d'exécution pour l'ordonnancement de ces processus.
2. Ecrire le pseudo code du Scheduler, Routine d'it horloge et SVC pour le cas d'arrivée.

Exercice 4

On considère le cas d'une mémoire paginée à la demande et la chaîne de référence suivante :

2 3 4 5 2 3 6 2 3 4 5 6

1. Calculer le nombre de défauts de pages générés en appliquant les algorithmes de remplacement FIFO, Optimal et LRU dans le cas où la mémoire centrale dispose de 3 frames.